

2 Manuali di Giobe2000

DATA SHEET

ADC0804

Convertitore Analogico-Digitale a 8 bit

Copyright © maggio 2005

Studio Tecnico ing. Giorgio OBER eurosito@giobe2000.it

Il **Tutorial Assembler** è soggetto a costanti aggiornamenti e integrazioni
Verifica le eventuali novità direttamente sul Sito

Copyright www.Giobe2000.it ©



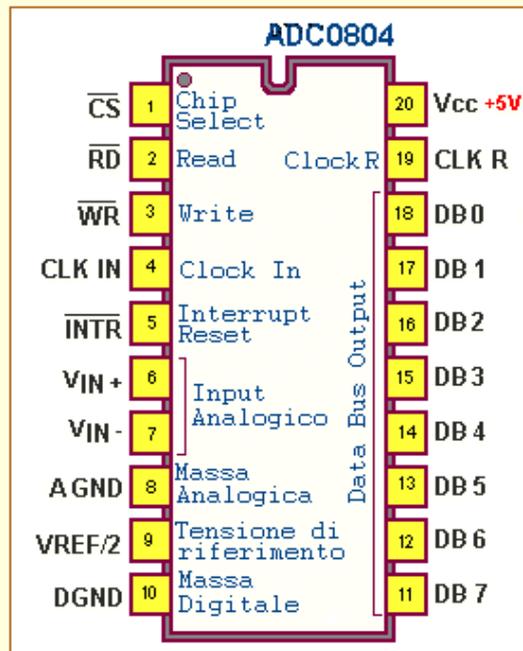
COMPONENTI PROGRAMMABILI

ADC0804

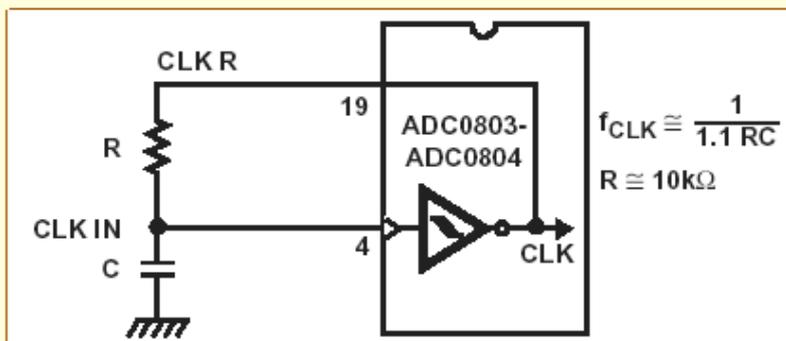


ADC0804 - Convertitore Analogico-Digitale compatibile con processori a 8 bit

- 🔗 Si tratta di un componente CMOS in grado di operare la **conversione Analogico-Digitale a 8 bit** con la tecnica delle *approssimazioni successive*.
- 🔗 Nella *Sezione* dedicata [progetto HW/SW con la parallela](#) è disponibile un'ampia descrizione teorica, insieme ad ogni dettaglio sullo schema e sul codice assembly consigliati per il suo corretto impiego.
- 🔗 Tra le sue caratteristiche principali ricordiamo la **risoluzione** pari a **8 bit**, il **tempo d'accesso** di **135 ns**, il **tempo di conversione** di **100 µs**.
- 🔗 Il suo **ingresso analogico** è di **tipo differenziale** e può ricevere una tensione da 0V a 5V, con alimentazione a 5V (sebbene i valori massimi prevedano range tra -0,3V e +18V, con alimentazione massima di 6,5V).
- 🔗 Il dato digitale d'uscita (**DB7 - DB0**, da **pin 11** a **pin 18**) risulta quindi essere proporzionale alla differenza di tensione fra i 2 pin d'ingresso (**pin 6** e **pin 7**).
- 🔗 Il pin-out del componente è proposto di seguito (se lo vuoi vedere nel suo ambito circuitale [clicca qui](#)):



- 🔗 Il clock, indispensabile per il suo funzionamento, può essere fornito dall'esterno (sul **pin 4**, **Clock In**), per esempio quello della CPU che lo controlla, ma può anche essere generato con l'aiuto di un **trigger di Schmitt invertente**, disponibile internamente, e di una rete RC applicata esternamente: con un resistore da **10k** e un condensatore da **150pF** lavora con un tipico clock di **640 kHz**.





COMPONENTI PROGRAMMABILI

ADC0804

- Il **range di conversione** è stabilito dal livello di tensione proposto sul suo **pin 9 (Vref/2)**; il valore di tensione che viene messo su di esso è pari a:

$$\frac{V_{in(+)}_{max} - V_{in(-)}}{2}$$

- Se viene rispettata questa scelta quando su $V_{in(+)}$ si pone la tensione $V_{in(+)}_{max}$ (per esempio **5V**) in uscita verrà generato il codice **FFH**, mentre se $V_{in(+)}$ è posta $V_{in(-)}$ (per esempio **0V**) in uscita si avrà il codice **00H**.
- Se $V_{in(+)}$ è proprio uguale a **Vref/2** (per esempio **2,5V**) il codice in uscita sarà **80H=10000000B**; in tal caso si sfrutta tutto il range in cui l'ADC può lavorare tra 0 e +5V.



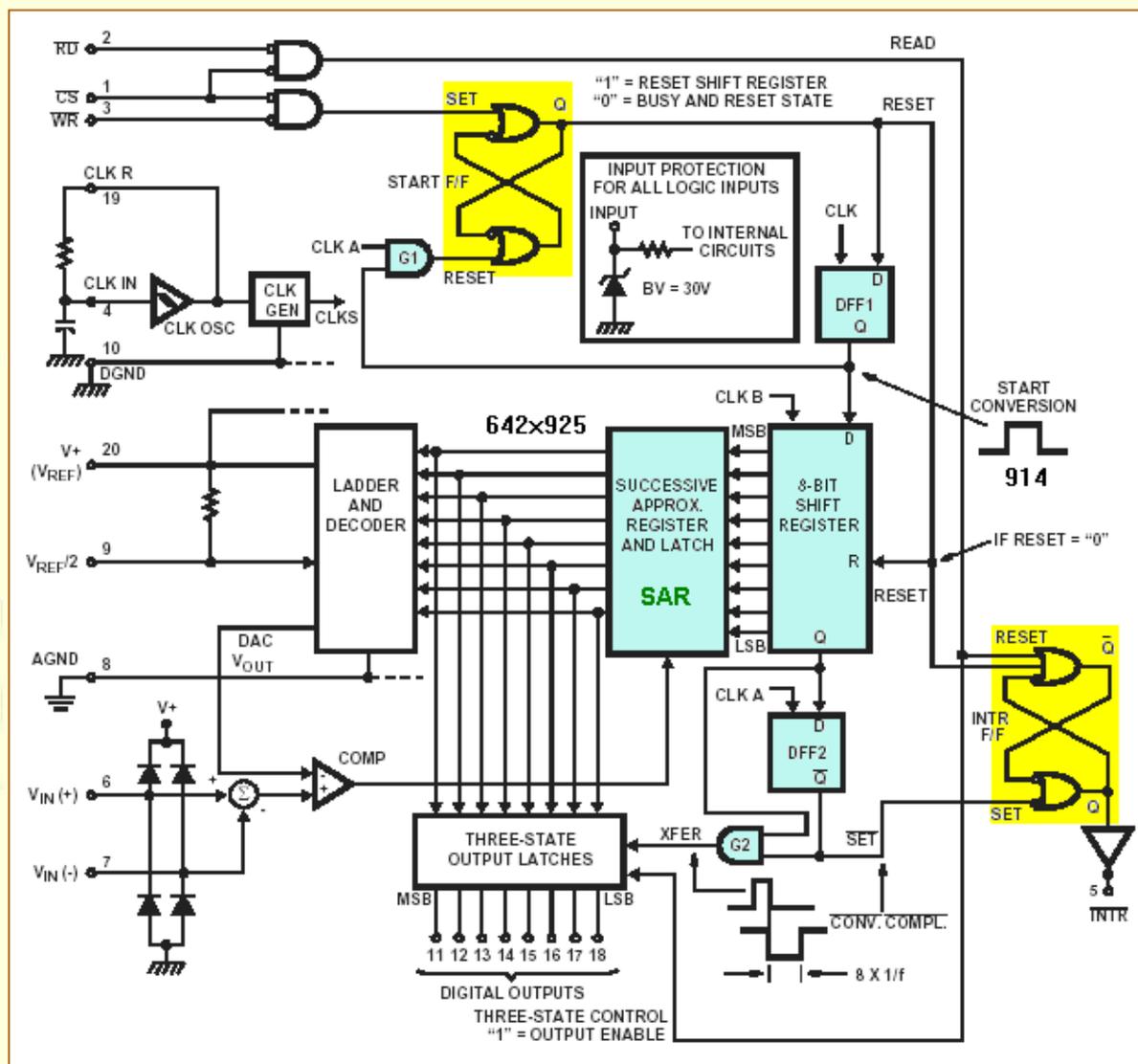
Nel caso in cui non venga applicata nessuna tensione esterna al **pin 9 (Vref/2)** il valore della tensione di riferimento viene assunto pari a **Vcc/2** (per esempio **2,5 V**).

- L'**ADC0804** contiene un circuito equivalente ad una rete di **256 (=2⁸) resistori di precisione** in serie: con la logica delle **successive approssimazioni** tali resistori vengono inseriti o tolti (con l'aiuto di deviatori elettronici) al fine di determinare l'uguaglianza tra la tensione differenziale in ingresso ($V_{in(+)} - V_{in(-)}$) e la caduta di tensione provocata dai resistori effettivamente inseriti.
- Il meccanismo è assicurato da un particolare **circuito sequenziale**, denominato **SAR (Successive Approximation Register)**, in grado di generare un **codice binario ad 8 bit** al quale è demandato il compito di inserire (tramite i deviatori elettronici) i resistori necessari a provocare la caduta di tensione da sottoporre al confronto con la tensione d'ingresso, V_{in} .
- Si tratta di un particolare registro a scorrimento a 8 bit (**8-bit shift register**); il codice da esso generato per primo è **10000000** (cioè quello con il bit più significativo, **MSB**, ad **1**): in questo modo la tensione d'ingresso, V_{in} sarà sottoposta a confronto con la metà della tensione di alimentazione (pari alla caduta su solo **la metà** dei resistori).
- Se il risultato indica che V_{in} è minore il **MSB** viene forzato a **0**, altrimenti si lascia a **1**; in ogni caso l'indagine viene portata avanti impostando ora il bit6 a **1** e confrontando di nuovo la tensione d'ingresso, V_{in} con la tensione generata dal numero così aggiornato, **11000000** o **01000000**.
- Risulta evidente che dopo otto confronti (e rispettivi aggiustamenti) il numero binario finale è quello che corrisponde al campione di tensione proposto in ingresso; per ottenerlo sono comunque necessari 64 periodi di clock.
- Il **principio della conversione** è dunque simile a quello messo in atto quando si desidera **pesare una massa incognita, m1**; ipotizziamo di avere a disposizione pesi campione di valore **m, m/2, m/4, m/8, m/16, ...** dove **m** è la metà del peso massimo.
- Ponendo su un piatto la massa incognita **m1** e sull'altro **m**:
 - se **m1** pesa di più allora si aggiunge **m/2**,
 - altrimenti si toglie **m** e si prova solo con **m/2**.
- Se **m1** risulta ancora più pesante di **m+m/2** allora si aggiunge **m/4**.
- Se invece **m1** risulta più leggero di **m+m/2** allora si toglie **m/2** e si aggiunge **m/4**.
- Si procede in questo modo aggiungendo e/o togliendo i pesi campione fino a quando il peso incognito viene uguagliato; in pratica ad ogni tentativo si inserisce un nuovo peso (di valore pari alla metà di quello precedente) mantenendo anche quello di prima solo se nella misura precedente quello incognito risulta maggiore.



ADC0804 - Risorse Interne

- Lo schema a blocchi mostra il circuito interno dell'**ADC0804**. In particolare è bene evidente il **SAR** (**S**uccessive **A**pproximation **R**egister), descritto nella pagina precedente.
- Tale circuito permette di garantire buone *prestazioni* sia per quanto riguarda la precisione che per quanto riguarda la *velocità di conversione*.
- Nell'**ADC0804** il dato digitale a 8 bit è disponibile in uscita dopo 8 comparazioni (64 cicli di clock); quando il dato digitale viene trasferito sui pin d'uscita, la linea **INTR** viene portata da **1** a **0**.
- Una conversione in svolgimento può essere interrotta e ricominciata dall'inizio dando un secondo comando di start.





COMPONENTI PROGRAMMABILI

ADC0804

- ☉ Durante la transizione di \overline{CS} e \overline{WR} da 1 a 0 (*segnale di start*) lo *shift register* e il *SAR* vengono resettati; per tutto il tempo in cui \overline{CS} e \overline{WR} rimangono bassi, l'ADC rimane in uno *stato di reset*.
 - il *F/F START* viene settato e l'1 generato resetta lo *shift-register* a 8 bit e il *F/F INTR*.
 - l'1 viene inoltre posto sull'ingresso D del *DFF1*.
 - un segnale di clock interno trasferisce poi l'1 all'uscita Q del *DFF1*.
 - questo 1 predispose lo stesso valore in ingresso allo *shift* e predispose aperta la *porta AND G1*.
 - l'apertura della *porta AND G1* consente il passaggio del clock interno che provvede a dare un segnale di reset al *F/F START*.

Se il *segnale di start* viene *mantenuto* il segnale di reset al *F/F START* non ha alcun effetto e lo *shift register* rimane in *stato di reset*; se invece viene tolto (cioè se \overline{WR} o \overline{CS} sono riportati a 1) il *F/F START* è resettato e lo *shift register* a 8 bit dà inizio al processo di conversione, un tempo da 1 a 8 periodi di clock dopo che almeno uno dei segnali \overline{CS} o \overline{WR} sono riportati entrambi a 1; non appena questo accade:

- lo *shift register* dà inizio alla conversione e il *SAR* comincia il suo processo di ricerca e di combinazione; al termine lo *shift register* mette un 1 sull'ingresso D del *DFF2*.
- l'1, in combinazione con la *porta AND G2*, fa sì che il *nuovo dato digitale convertito* sia trasferito sulle *uscite tri-state*; quando il *bus dati* è abilitato, l'uscita Q è sottoposta a una transizione da 1 a 0 e il *F/F INTR* è settato.
- un inverter infine fornisce in uscita il segnale *INTR*.

Se il dato d'uscita è continuamente abilitato (\overline{CS} e \overline{RD} entrambi a 0), la linea *INTR* continua a segnalare la fine della conversione (con un transitorio da 1 a 0), perché l'ingresso di SET controlla l'uscita Q del *F/F INTR* sebbene l'ingresso RESET è costantemente al livello 1.

- ☉ Il componente può operare nel modo *free-running* (si ha una continua conversione del segnale analogico d'ingresso), se le linee *INTR* e \overline{WR} vengono collegate assieme fra loro e \overline{CS} viene posto a 0; quando l'ADC viene utilizzato in questo modo il *F/F START* è settato con il transitorio da 0 a 1 della linea *INTR*.
- ☉ Questa resetta lo *shift register* che porta l'ingresso del *DFF2* a 0.
- ☉ Quando l'abilitazione d'ingresso del latch è presente, l'uscita Q va alta e allora il *F/F INTR* è resettato.
- ☉ Quando il dato è pronto da leggere, se \overline{CS} e \overline{RD} vengono portati entrambi a 0, il *F/F INTR* viene resettato e l'abilitazione dell'*uscita tri-state* permette di leggere gli 8 bit digitali d'uscita.



ADC0804 - I Diagrammi Temporali

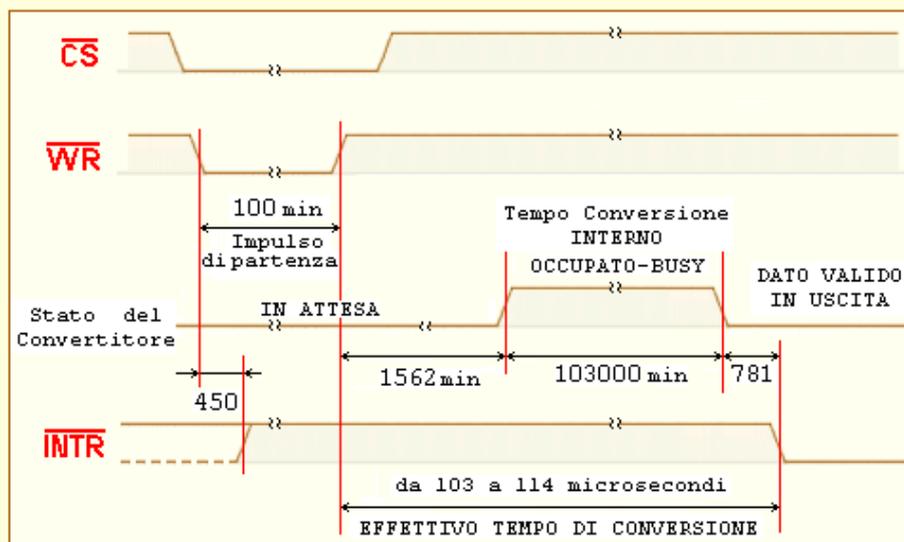
- ☉ Per interfacciare correttamente il convertitore **ADC0804** con i processori chiamati a gestire il processo associato è necessario conoscere con grande dettaglio le **temporizzazioni** necessarie al componente per interpretare ed eseguire il suo compito.
- ☉ Il processore controllore deve, in questo caso, provvedere all'attivazione di **3 segnali** di controllo:
 - **Chip Select, \overline{CS}** , attivo *basso*, necessario per *abilitare* il dispositivo, cioè per consentire qualunque sua operazione.
 - **Write, \overline{WR}** , attivo *basso*, utilizzato per *dare inizio* al processo di conversione del livello di tensione presente, nel momento del suo passaggio da 1 a 0, sui piedini analogici dell'ADC.
 - **Read, \overline{RD}** , attivo *basso*, attivato al termine della conversione per trasferire dal *latch interno* sul *bus dati* gli 8 bit frutto della *conversione digitale* della *grandezza analogica* campionata; i dati vengono mantenuti sul bus per tutto il tempo nel quale questo *segnale* rimane basso.



COMPONENTI PROGRAMMABILI

ADC0804

- In aggiunta il processore deve poter leggere:
 - le 8 linee del **bus dati**, di norma in *alta impedenza* (cioè "scollegate"...) ma significative non appena si richiede la loro lettura.
 - il **segnale** di fine conversione (EOC) reso disponibile dell'ADC come **Interrupt Reset, INTR**: questa linea d'uscita viene forzata a **0** dall'ADC per segnalare l'esatto istante in cui le operazioni di conversione sono da ritenersi ultimate, e riportata automaticamente a **1** non appena viene dato il comando di lettura.
- Le 2 figure seguenti mostrano in dettaglio i Diagrammi Temporal relativi alle **fasi di controllo conversione e di lettura** dal convertitore. Il **tempo minimo** previsto per un intero ciclo di conversione e lettura è di **un centinaio di µs**.
- Tutti i tempi di transizione sono espressi in **nanosecondi**.
- Vediamo le **temporizzazioni** da imporre nella **fase di Conversione**:
 - il segnale **CS** viene forzato a **0** nel momento (asincrono) in cui si desidera **dare inizio al processo**.
 - poco dopo (o contemporaneamente) viene attivato (cioè posto a **0**) anche il segnale **WR**, effettivo **segnale di start** per l'ADC; per assicurare che il dispositivo ne sia consapevole esso deve essere mantenuto a **0** almeno **100ns**.
 - quando l'impulso di partenza viene **tolto** (cioè quando **W** viene riportato a **1**, dopo almeno **100ns** dalla sua attivazione) può essere **tolto** (cioè riportato a **1**) anche **CS**.
 - l'effetto combinato di questi 2 segnali produce l'attività dell'ADC: poco dopo (circa **450ns**) la linea di **INTR** viene comunque alzata (se già non era a **1**) per segnalare che il convertitore sta per passare dallo **stato d'attesa** a quello di **busy**, nel quale sarà appunto occupato alla conversione in binario del livello di tensione ad esso sottoposto.
 - dal momento in cui parte la conversione (cioè a partire dal **fronte di salita** del segnale **WR**) è previsto un effettivo **tempo di conversione** da un minimo di **103 µs** ad un massimo di **114 µs**.
 - L'evento è comunque segnalato dall'attivazione della linea di **INTR**: quando questa linea passa a **0** il dato è stabilmente disponibile sul **latch interno** del dispositivo, in attesa di essere messo sulle **8 linee d'uscita** con il comando di lettura.
 - Naturalmente la **lettura del dato** non è condizione che possa impedire una successiva conversione: che il dato sia stato letto (**INTR** a **1**) o meno (**INTR** a **0**) se viene riproposta la sequenza **CS-WR** descritta poco fa, nei tempi previsti il **vecchio** dato viene sostituito dal **nuovo**...

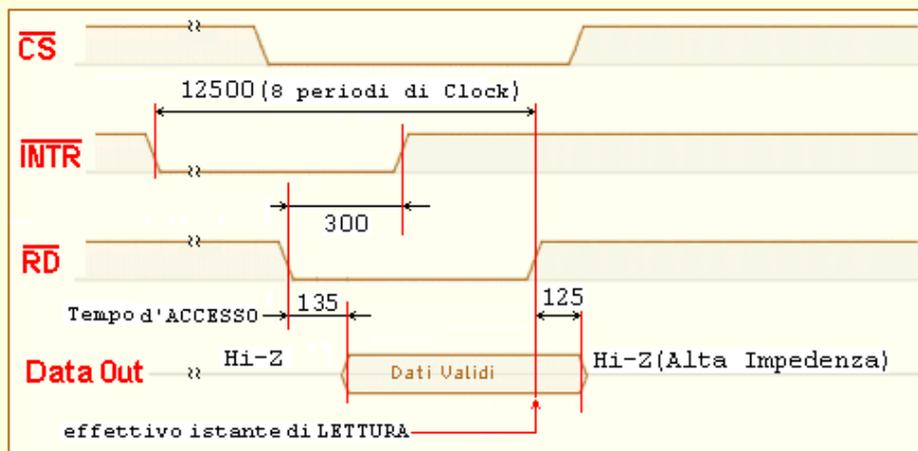




COMPONENTI PROGRAMMABILI

ADC0804

- La fase di **lettura del valore digitale** generato dall'ADC può essere messa in atto con la seguente sequenza d'eventi:
 - lo stato del convertitore continuamente monitorato dal valore logico dalla linea di **INTR**: quando passa a **0** il dato è pronto.
 - quando si ritiene giunto il momento di leggerlo si forza a **0** prima **CS** e qualche istante dopo anche la linea **RD**.
 - dopo circa **135 ns** il dato viene **trasferito sulle 8 linee d'uscita** (fino a questo momento in *alta impedenza*), dal **latch interno**; da questo istante ogni momento è buono per leggerlo...
 - dopo circa **300 ns** il converter provvede a ripristinare la linea **INTR**, riportandola a **1**.
 - dopo aver letto il dato bisogna riportare a **'1'** sia il segnale di lettura, **RD** che **CS**.
 - il costruttore suggerisce di attendere almeno **8 cicli di clock** (cioè almeno o di **12,5 µs con clock a 640 kHz**) per garantire che il prossimo controllo sul segnale di **INTR** sia attendibile.
 - NB**: si può ipotizzare che la lettura avvenga sul **fronte di salita** del segnale **RD**: dopo **125 ns** da questo istante le otto linee d'uscita tornano in alta impedenza e il ciclo si può ritenere concluso.



ADC0804 - Conclusioni e Links

- La tabella raccoglie le principali **caratteristiche elettriche** del componente:

Caratteristiche Elettriche	Valori
potenza dissipata massima	875 mW (clock 640 KHz)
frequenza di clock tipica	640 kHz (R=10k, C=150pF)
frequenza di clock massima	1460 kHz
tempo di Conversione (<i>Conversion Time</i>) massimo	114 µs (fclock=640kHz)
velocità di Conversione (<i>Conversion rate</i>) massimo	9708 conversioni/s (fclock=640kHz, CS=0)
tempo di WR basso (<i>Start Pulse Width</i>) mini mo	100 ns (con CS=0)
Dati sul bus dopo RD da 1 a 0 (<i>Access Time</i>) massimo	200 ns
bus in Hi-Z dopo RD da 0 a 1 (<i>Tri-state Control Time</i>) massimo	200 ns
azzeramento di INTR dopo RD da 1 a 0 (<i>Reset INTR Time</i>) massimo	450 ns

- Naturalmente la documentazione ufficiale è molto più ricca e offre anche la descrizione di alcuni circuiti applicativi.