

2 Manuali di Giobe2000

DATA SHEET

74LS374

Ottuplo flip-flop D-Type con uscite 3-state

Copyright © settembre 2003

Studio Tecnico ing. Giorgio OBER

contatto@giobe2000.it

Il **Tutorial Assembler** è soggetto a costanti aggiornamenti e integrazioni
Verifica le eventuali novità direttamente sul Sito

Copyright www.Giobe2000.it ©



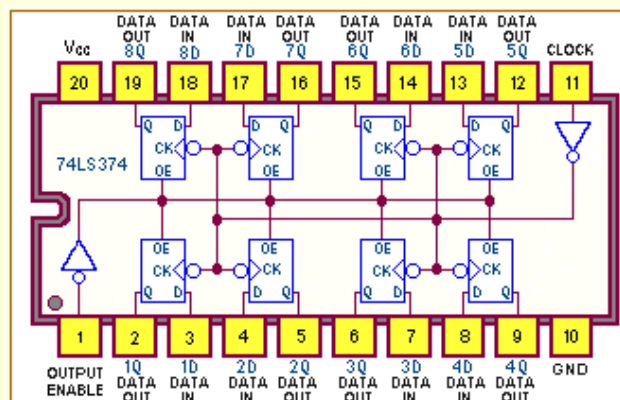
LOGICA TTL - FLIP FLOP D-TYPE

74LS374



74LS374 - Ottuplo flip-flop D-Type con uscite 3-state

Il **pin-out** del componente è illustrato dal seguente schema:



- Questo componente contiene **8 elementi di memoria (flip-flop)** di tipo **D-Type**, controllati contemporaneamente da un unico piedino di abilitazione (**pin 11, Clock CK**).
- La caratteristica dei **flip-flop D-Type** è quella di agire **sul fronte** della linea di comando, **CK**:
 - quando il segnale di controllo (di solito un impulso attivo basso) passa dal livello basso **0** a quello alto **1** (**fronte di salita**) l'uscita **Q** **tiene** (memorizza) il valore logico predisposto in precedenza sull'ingresso corrispondente **D**; proprio per questo suo comportamento i manuali definiscono questo componente **Octal Edge-Triggered Flip-Flops**.
 - in ogni altro istante della forma d'onda del clock **CK** è su ogni uscita **Q** è disponibile il valore logico della precedente operazione di memorizzazione.
- I **D-Type** di questo componente sono del tutto uguali agli elementi di memoria che costituiscono la cache del nostro computer, cioè di **Static RAM, SRAM**.
- Osservando il dettaglio funzionale del componente si capisce perchè la **SRAM** sia più costosa e più veloce della **DRAM** (Dynamic RAM) di solito usata per la memoria convenzionale: ogni bit è realizzato con un piccolo **circuito elettronico bistabile**, appunto **flip-flop**.
- In aggiunta alla sua tipica funzione di **memoria** il componente offre anche uscite **amplificate non invertenti** di tipo **3-state**, controllate contemporaneamente da un ulteriore piedino di abilitazione (**pin 1, Out Enable, OE**), attivo basso; la funzione da **OE** è del tutto simile a quella esercitata dalle abilitazioni **Gx** del **buffer 74LS244**:
 - quando è attiva (cioè a massa, **0**) consente il passaggio in uscita del livello logico presente sull'uscita interna del flip-flop.
 - quando non è attiva (cioè scollegate o a **1**) è quella di mettere in **alta impedenza** le 8 uscite esterne del componente; il valore presente sulle uscite dei rispettivi flip-flop rimane così **congelato**, in attesa di tempi migliori....

INPUT			OUTPUT
OE	CLOCK CK	x D	x Q
0	↑	1	1
0	↑	0	0
0	0	X	Q _o
1	X	X	HI-Z

1 livello logico **alto**
 0 livello logico **basso**
 "Q_o" livello logico **assunto**
 dall'ingresso sul fronte di salita

"X" valore logico **indifferente**
 "HI-Z" alta impedenza, circuito aperto



LOGICA TTL - FLIP FLOP D-TYPE

74LS374



E' importante capire cosa significa mettere un'uscita in **alta impedenza**; supponiamo di collegare una tensione ad un resistore:

- a parità di tensione applicata, più grande è la sua resistenza e minore è la corrente che passa.
- se la resistenza elettrica è infinita la corrente è nulla, cioè un resistore con questa caratteristica si comporta come un **circuito aperto**, come se esso stesso fosse **sparito**, lasciando **scollegati** i punti ai quali era collegato..



Dunque, la condizione di alta impedenza delle uscite **scollega praticamente** l'oggetto ad esse collegato dall'ingresso, **anche se fisicamente** la cosa **non si vede!**



Tecnicamente si dice che le uscite di questo componente hanno **3 stati logici**: i consueti **1** e **0** e il terzo stato, detti **Hi-Z**, appunto "**alta impedenza**".



Nella norma il **buffer 3-state** d'uscita non è necessario, per cui $\overline{OE}$ si collega **fisso massa**; può tornare utile nella improbabile necessità di predisporre più memorie in **parallelo**, su una **struttura a bus**, attivandone all'occorrenza solo una, alternativa alle altre. Infatti:

- di solito collegare tra loro le uscite di 2 oggetti logici è un **errore fatale**: si capisce che, se i livelli presenti sulle 2 uscite sono alternativi, **una delle 2 provoca il cortocircuito** dell'altra (quella a livello **1**), forzandola a massa con il suo **0**...
- se una delle 2 è però posta in **Hi-Z** il problema non esiste più, dato che nessun livello logico può essere influenzato da un circuito aperto..



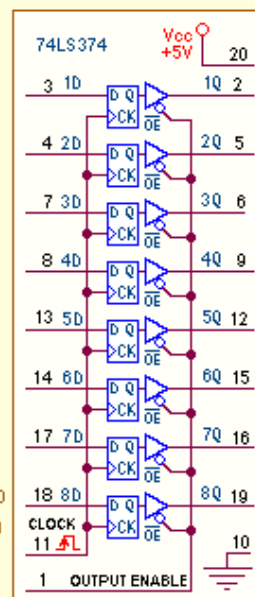
Va invece sottolineata la sostanziale differenza con l'**ottuplo flip-flop D-Latch 74LS373** con il quale è spesso tecnicamente confuso e scambiato: la natura **D-Type** (ram statica) dei singoli flip-flop lo rende **attivo sul fronte** per cui, a parità di **segnale di sincronismo** (**clock**, di solito un **segnale alto** a riposo con un **breve impulso basso** generato al momento desiderato per la memorizzazione) va sottolineato che:

- la memorizzazione avviene sul **fronte di salita**.
- in nessun altro istante dell'**impulso** sarà possibile imporre cambiamenti alle uscite, per cui esse sono **del tutto indifferenti ad ogni variazione** dei rispettivi ingressi, e la durata dell'impulso è del tutto **irrelevante**.
- poichè di norma gli impulsi di sincronismo sono **attivi bassi**, se il clock fosse fornito **direttamente** sul pin **11** di **clock** (CK) l'effettiva memorizzazione avverrebbe **con un ritardo** pari alla durata dell'impulso fornito; **è consigliabile** dunque **inserire un inverter** sul pin di **clock** (CK) per garantire la memorizzazione esattamente nell'istante in cui il sincronismo va basso.
- naturalmente se la **durata** dell'impulso è effettivamente **breve** la presenza dell'inverter esterno può essere ritenuta un lusso inutile..



La tabella raccoglie le principali **caratteristiche elettriche** del componente (i tempi sono stati rilevati con carico di 667ohm/ 45 pF):

Caratteristiche Elettriche	Valori
potenza dissipata	225 mW (massima con ingressi a "0" e con uscita Hi-Z, assorbe 45 mA a 5V)
corrente erogata tipica in uscita	2,6 mA (con uscita a "1")
corrente assorbita tipica in uscita	24 mA (tipica buffer con uscita a "0")
tempo di propagazione massimo da clock a uscita	28 ns (verso uscita a "1") e 28 ns (verso uscita a "0")
tempo di abilitazione massimo da out enable a uscita	28 ns (verso uscita a "1") e 28 ns (verso uscita a "0")
tempo di disabilitazione massimo da out enable a uscita	20 ns (da uscita a "1") e 25 ns (da uscita a "0")

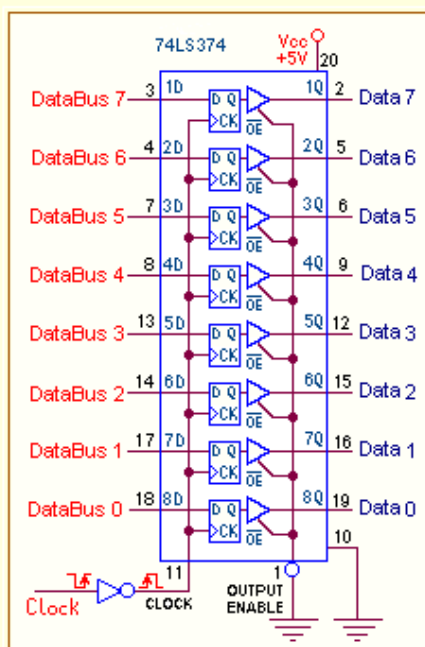




LOGICA TTL - FLIP FLOP D-TYPE

74LS374

- Una tipica applicazione (con uscite 3-state trasparenti, cioè $\overline{OE}$ a massa) è presentata in figura; le linee d'ingresso sono presumibilmente quelle del Bus Dati di un microprocessore o di un single-chip, mentre le linee d'uscita rendono disponibile un byte d'informazione utile per accendere 8 led, o pilotare 8 relè, o controllare i 7 segmenti (e il decimal point) di un digit, e così via.



- Nel precedente disegno suggerisco lo **schema a blocchi** da utilizzare, disponibile anche nella seguente versione:

