di GIORGIO OBER (GIOBE2000)

l'angolo di Mr A.KEER

(parte seconda)

PROGETTARE con le PORTE LOGICHE

*operatore fondamentale **AND***

Prosegue in questo numero l'analisi dettagliata delle caratteristiche e dei componenti disponibili sul mercato per un nuovo operatore logico fondamentale, noto come AND, fornendo interessanti osservazioni e considerazioni utili alla progettazione.

OPERATORE AND (TTL): 74LS08, 74LS11, 74LS21

L'operatore fondamentale **AND** è disponibile in 3 componenti della serie TTL, con diverse configurazioni: il **74LS08** contiene 4 porte a 2 ingressi (*Figura 1*); il **74LS11** ne contiene 3 a 3 ingressi (*Figura 2*) e il **74LS21** ne contiene 2 a 4 ingressi (*Figura 3*).

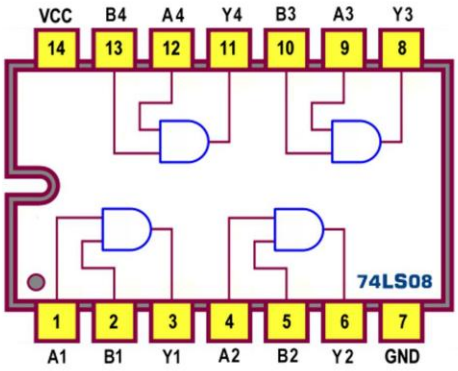

Figura 1 - Quad 2-input AND Gates 74LS08: Pin-out

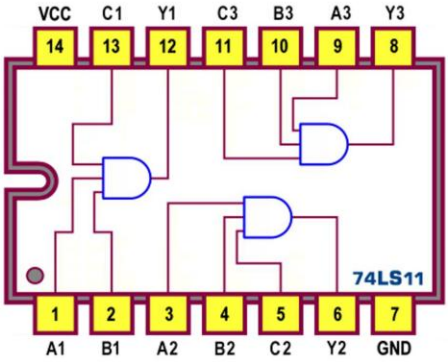

Figura 2 - Triple 3-input AND Gates 74LS11: Pin-out

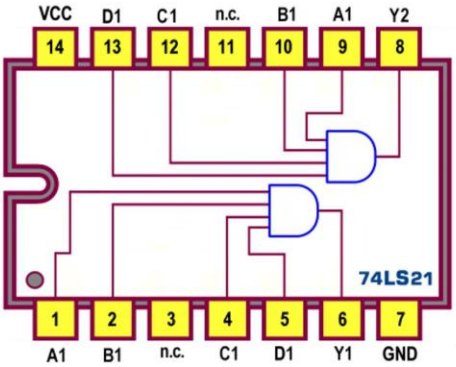

Figura 3 - Dual 4-input AND Gates 74LS21: Pin-out

I *datasheet* definiscono tutti e 3 i componenti come **AND Gates** [*porte* AND] specificando nel nome sia la loro quantità che il numero dei rispettivi ingressi; in generale una *porta logica* è l'oggetto reale chiamato a realizzare le funzioni dell'omonimo *operatore* descritto dalla teoria; ciascuna delle porte disponibili in ogni integrato è indipendente dalle altre.

Da notare che è ora stata prevista la possibilità di coinvolgere più di 2 variabili d'ingresso, garantendo di fatto la disponibilità *integrata* delle formule $\mathbf{f_{AND}=A*B*C}$ e $\mathbf{f_{AND}=A*B*C*D}$; nel **74LS21** appare evidente la presenza di 2 piedini inutilizzati (il pin3 e il pin11): la cosa è ovvia, essendo la struttura dell'integrato caratterizzata da un numero di piedini standard (pari a 14) ed essendo scontata la necessità di soli 12 pin.

Per ciascuno dei 3 componenti la *Figura 4* e la *Figura 5* mostrano rispettivamente lo *schema funzionale* (con il *numero* e la *funzione* affidata dal costruttore a ciascun piedino) e lo *schema pratico* (con il nome del *segnale logico* che entra e di quello che esce nel contesto del progetto e con il *numero* dei piedini ad essi riservati).

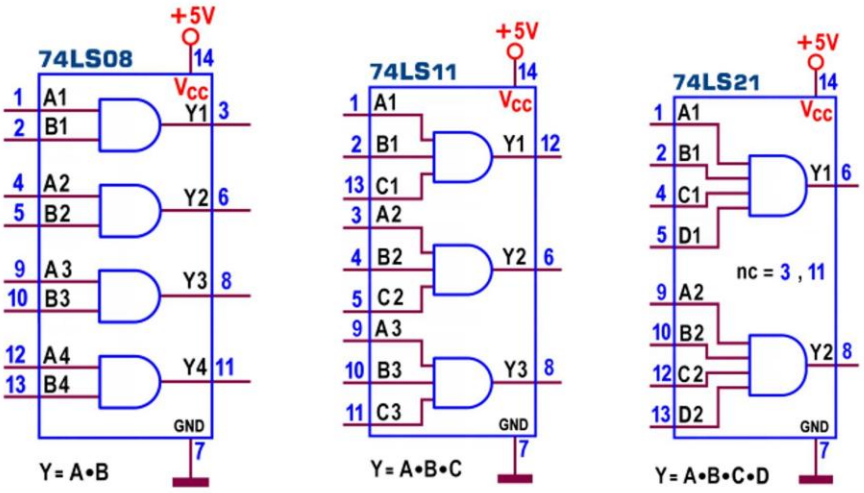

Figura 4 - AND Gates [TTL]: Schema funzionale

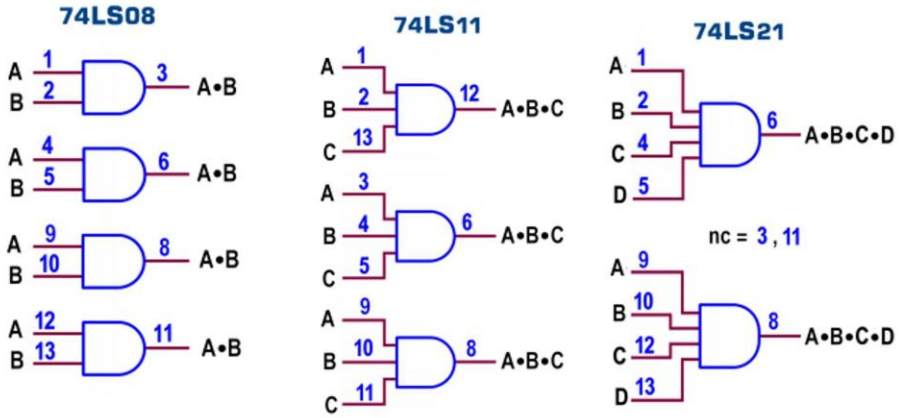

Figura 5 - AND Gates [TTL]: Schema pratico

Una attenta osservazione degli schemi *pin-out* evidenzia una interessante *curiosità* che lascia trasparire il metodo con cui i progettisti hanno realizzato il componente **74LS21**:

- gli ingressi delle sue 2 AND utilizzano gli stessi 4 piedini usati dalle 2 AND poste sullo stesso lato, nel **74LS08**
- per l'uscita le sue 2 AND utilizzano lo stesso pin usato dalle 2 AND poste nella *metà destra*, nel **74LS08**
- i piedini non collegati corrispondono a quelli usati per l'uscita dalle 2 AND poste nella *metà sinistra*, nel **74LS08**

In alternativa a questi schemi i *datasheet* forniscono, talvolta, lo *schema logico* (*Logic Diagram*, nel nostro caso simile a quello *schema funzionale*) e il *simbolo logico* (*Logic Symbol*, *Figura 6*) riconosciuto come *standard* dalle norme internazionali ma poco intuitivo e molto diverso da quello utilizzato tradizionalmente.

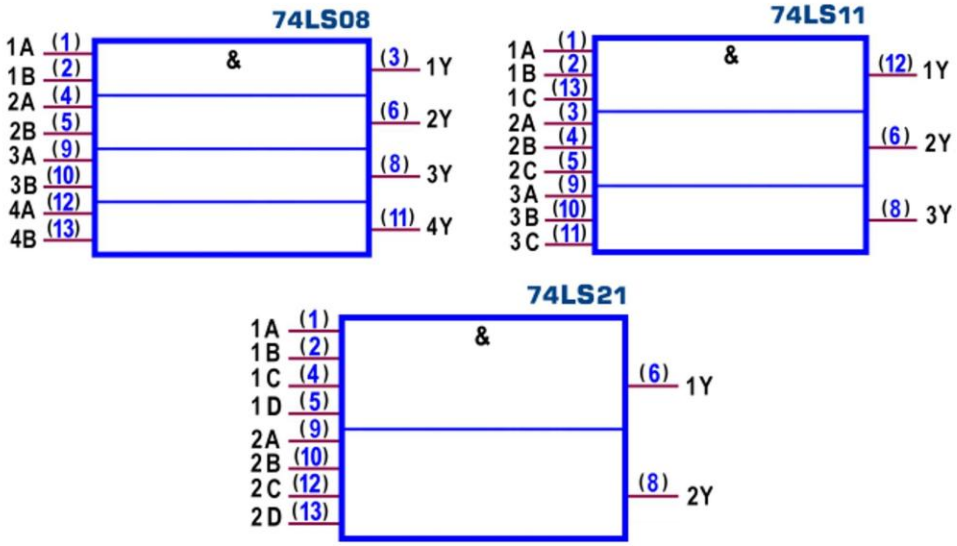

Figura 6 - AND Gates: Simbolo logico ANSI/IEEE Std. 91-1984

Nei *datasheet* non manca mai, invece, la *Tabella di Verità* (*Function Table*) dell'oggetto presente nell'integrato; nel nostro caso, contenendo semplici porte logiche, ne viene proposta una, in rappresentanza di ciascuna di esse (*each gate*); la *Figura 7* raccoglie quelle di ogni tipo di AND trattata.

74LS08

INPUT		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

74LS11

INPUT			OUTPUT
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

74LS21

INPUT				OUTPUT
A	B	C	D	Y
H	H	H	H	H
L	X	X	X	L
X	L	X	X	L
X	X	L	X	L
X	X	X	L	L

H livello logico **alto**
L livello logico **basso**
X o livello logico **alto** o livello logico **basso**

Figura 7 - AND Gates: Tabella di verità

Notiamo subito un diverso *stile* rispetto a quello usato nei nostri studi teorici: la *familiare* presenza degli **1** e degli **0** è sostituita da *più spigolose* lettere **H** e **L**, insieme ad una strana **X**; ci si può chiedere il perchè di tale scelta...

Tra le righe di questa proposta c'è un concetto un po' ostico da digerire, quello di *logica positiva* e di *logica negativa*; in realtà si tratta solo di fare una libera scelta, cioè di stabilire come associare gli *eventi* possibili (i valori di tensione presenti nel circuito) ai rispettivi livelli logici.

La letteratura digitale si sofferma di rado su questo problema, dando per scontato che ogni sua definizione sia comunque proposta in *logica positiva*, cioè ritenendo che il *livello logico alto* **H** sia affidato alla tensione positiva (sinteticamente **1**, per esempio V_{CC}=5V) e che il *livello logico basso* **L** sia affidato a quella negativa (**0**, per esempio GND=0V); ma nessuno ci vieta di

assegnare logicamente ad **H** la tensione "**0**"=0V e ad **L** la tensione "**1**"=5V: in questo modo il punto di vista scelto è quello della *logica negativa*.

Per questa ragione i *livelli di tensione* (**0** e **1**) da affidare a quelli *logici*, alto e basso, sono volutamente lasciati indeterminati e indicati rispettivamente con **H** (*High Logic Level*) e **L** (*Low Logic Level*); tutte le le tabelle proposte si presentano poi più compatte, più sintetiche, per la presenza di un segno non sempre rimarcato a dovere, ma molto importante nel progetto logico: la *condizione di indifferenza*, **X**, col compito di rappresentare a piacere o uno o l'altro livello logico (*Either Low or High Logic Level*).

Le *Tabelle di verità* di *Figura 7* possono quindi essere riproposte esplicitamente in *logica positiva* (**H**=**1**=5V e **L**=**0**=0V, praticamente identiche a quelle tradizionali) o in *logica negativa* (**H**=**0**=0V e **L**=**1**=5V), come di vede in *Figura 8*, con riferimento alle porte AND del **74LS08**.

74LS08

tabella GENERICA

INPUT		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

H livello logico **alto**
L livello logico **basso**

in logica POSITIVA

INPUT		OUTPUT
A	B	Y
1	1	1
0	X	0
X	0	0

1 livello logico **alto**
0 livello logico **basso**

in logica NEGATIVA

INPUT		OUTPUT
A	B	Y
0	0	0
1	X	1
X	1	1

0 livello logico **alto**
1 livello logico **basso**

X o livello logico **alto** o livello logico **basso**

INPUT		OUTPUT
A	B	Y = AND
0	0	0
0	1	0
1	0	0
1	1	1

f(A,B) = A*B

INPUT		OUTPUT
A	B	Y = OR
0	0	0
0	1	1
1	0	1
1	1	1

f(A,B) = A+B

Figura 8 - AND Gates: Tabella di verità in logica positiva e negativa

In sintesi possiamo concludere con questa magia: ogni *porta logica* AND contenuta nei 3 componenti si comporta come *operatore* **AND** in *logica positiva* e come *operatore* **OR** in *logica negativa*: è solo una questione di punti di vista!

La *Figura 9* mostra lo *schema elettronico* interno (*Circuit Schematics*) di ciascuna delle porte, uguali tra loro, inserite nell'integrato **74LS08** (per gentile concessione Texas Instruments); sebbene logicamente irrilevante la sua analisi offre un'utile idea del suo funzionamento. Il confronto con gli schemi forniti dai *datasheet* per il **74LS11** e il **74LS21** conferma per essi lo stesso circuito, con la sola (ovvia) differenza di adeguare a 3 e a 4 le rispettive linee d'ingresso [vedi *Figura 9_bis* e *Figura 9_ter* , fuori testo, da decidere se inserire, nda]

TEXAS INSTRUMENTS **SN74LS08**
QUADRUPLE 2-INPUT POSITIVE-AND GATES

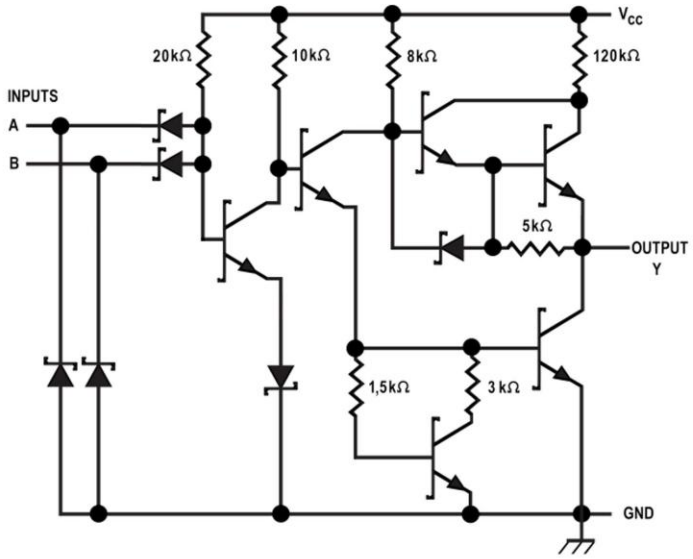

Figura 9 - AND Gates: 74LS08, schema elettronico interno

TEXAS INSTRUMENTS **SN74LS11**
TRIPLE 3-INPUT POSITIVE-AND GATES

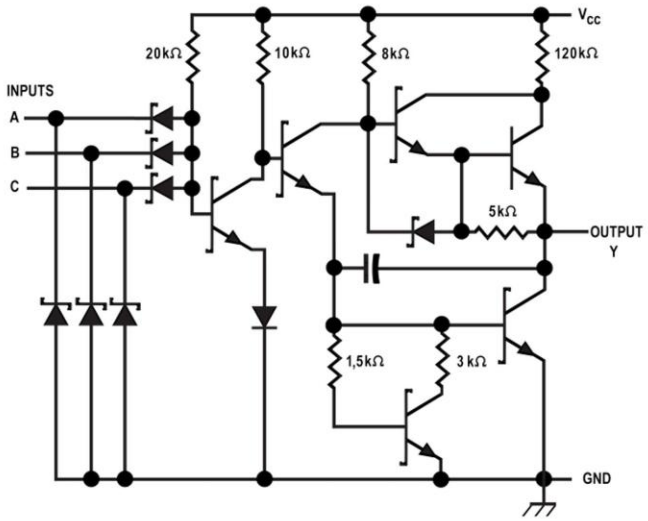

Figura 9_bis [**fuori testo**] - AND Gates: 74LS11, schema elettronico interno

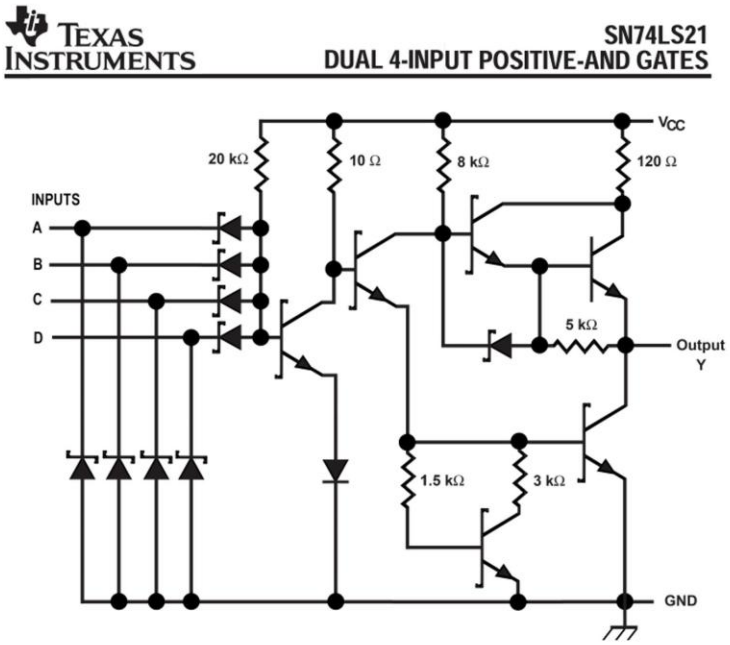

Figura 9_ter [**fuori testo**] - AND Gates: 74LS21, schema elettronico interno

Le caratteristiche elettriche dei 3 componenti AND sono le stesse raccolte nella *Tabella* dedicata, la scorsa puntata, alla *famiglia logica* **TTL LS** a cui appartengono (vedi *Tabella 0*), esclusa la *potenza dissipata*, mostrata con il *ritardo di propagazione* (*Propagation Delay Time*) in *Tabella 1*.

TTL LS Caratteristiche Elettriche			Valori
caratteristiche d'**ingresso**	tensione a livello "**1**"	V_{IH}	**2 V** [valore **minimo** riconosciuto ad ogni ingresso come livello alto]
	tensione a livello "**0**"	V_{IL}	**0,8 V** [valore **massimo** riconosciuto ad ogni ingresso come livello basso]
	corrente a livello "**1**"	I_{IH}	**20 µA** [assorbita, valore **massimo**, con V_{IH}=**2,7V** e con V_{cc}=**massima**]
	corrente a livello "**0**"	I_{IL}	**0,4 mA** [erogata, valore **massimo**, con V_{IL}=**0,4V** e con V_{cc}=**massima**]
caratteristiche d'**uscita**	tensione a livello "**1**"	V_{OH}	**2,7 V** [**minimo**], **3,5 V** [**tipico**], con V_{IL}=**0,8V**, I_{OH}=**-400µA** e V_{cc}=**min**
	tensione a livello "**0**"	V_{OL}	**0,4 V** [valore **massimo**], **0,25 V** [valore **tipico**], con V_{IH}=2V, I_{OL}=**4mA** e V_{cc}=**min**
			0,5 V [valore **massimo**], **0,35 V** [valore **tipico**], con V_{IH}=2V, I_{OL}=**8mA** e V_{cc}=**min**
	corrente a livello "**1**"	I_{OH}	**400 µA** [erogata, valore **massimo**, con V_{OH}=**2,4V**]
	corrente a livello "**0**"	I_{OL}	**8 mA** [assorbita, valore **minimo**, con V_{OL}=**0,4V**]
tensione di **alimentazione**		V_{CC}	**5 V** [valore **tipico**], **4,5 V** [valore **minimo**], **5,5 V** [valore **massimo**]
frequenza di lavoro		f_{out}	**45 MHz** [valore **massimo**]
fan-out			**20** [valore **tipico** quando l'uscita e bassa], pari a I_{OL}/I_{IL}=**8 mA/0,4 mA**
			20 [valore **tipico** quando l'uscita e alta], pari a I_{OH}/I_{IH}=**400 µA/20 µA**

Tabella 0 - AND Gates: Caratteristiche dalla famiglia TTL LS

Altre Caratteristiche			TTL 74LS08	TTL 74LS11	TTL 74LS21
potenza dissipata **massima** I_{cc}*V_{cc} con V_{cc}=**5V**	P_D	con uscite a "**1**"	**24 mW** [I_{cc}=**4,8 mA**]	**18 mW** [I_{cc}=**3,6 mA**]	**12 mW** [I_{cc}=**2,4 mA**]
		con uscite a "**0**"	**44 mW** [I_{cc}=**8,8 mA**]	**33 mW** [I_{cc}=**6,6 mA**]	**22 mW** [I_{cc}=**4,4 mA**]
ritardo di propagazione con carico di **2k**ohm/**15**pF con V_{cc}=**5V** a T_A=25°C	t_{PLH}	da ***basso*** a ***alto***	**8 ns** [valore **tipico**], **15 ns** [valore **massimo**]		
	t_{PHL}	da ***alto*** a ***basso***	**10 ns** [valore **tipico**], **20 ns** [valore **massimo**]		

Tabella 1 - AND Gates: Caratteristiche specifiche dei componenti

In chiusura è interessante considerare le tecniche possibili per realizzare porte AND con più di 4 ingressi, non disponibili in commercio; poichè l'*operatore logico* AND gode della proprietà associativa le *porte* AND possono essere collegate *in cascata* per cui i circuiti di *Figura 10* sono validi e funzionanti.

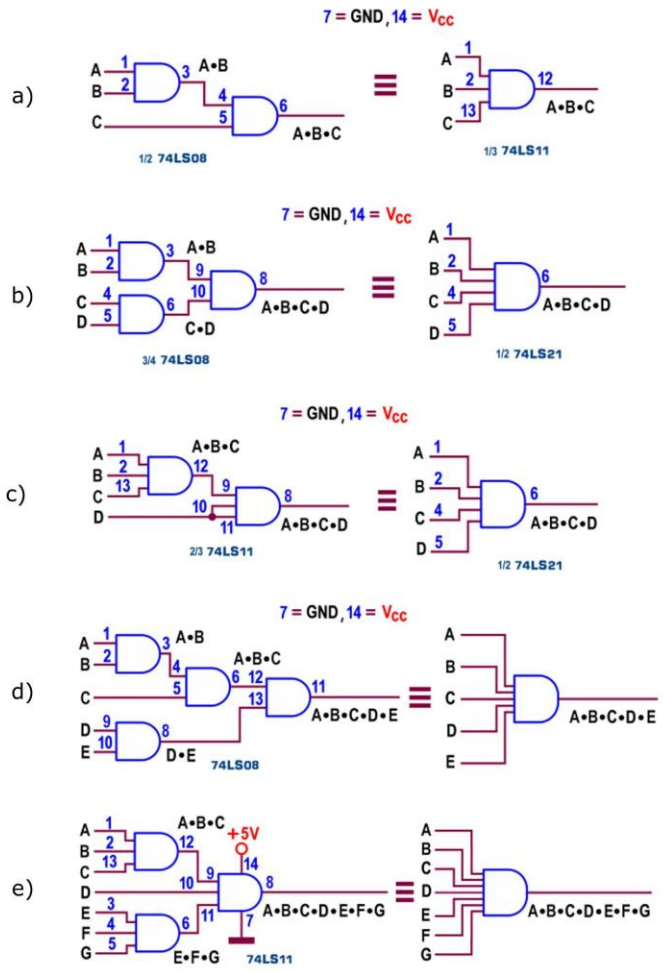

Figura 10 - AND Gates: Combinazione di porte logiche AND

L'attenta analisi di ciascuno di essi permette di sottolineare le caratteristiche che, a un *buon schema*, non dovrebbero mai mancare:

- la presenza, su tutti gli ingressi e su tutte le uscite, del *numero del piedino* dell'integrato coinvolto
- la presenza della *sigla* del componente utilizzato, con anteposta la quantità di porte utilizzate espressa da una frazione (per esempio *3/4* significa 3 porte su 4)
- la presenza del nome delle variabili logiche coinvolte (evitando di collegarle tra loro con inutili e antiestetiche linee verticali) ed eventualmente della funzione logica esercitata su di esse del circuito
- l'assenza delle linee di alimentazione V_{CC} e GND; nel nostro semplice caso si può dare per scontato che V_{CC} sia sul pin 14 e GND sul pin7 ma può essere sufficiente rimarcare questa situazione in un angolo del disegno. In occasione di circuiti più complessi è

sempre meglio usare la tecnica usata nel circuito *e)*, in basso, evitando sempre di collegare tra loro i vari punti di massa e del positivo d'alimentazione
- il rispetto della simmetria e dell'orientamento, da sinistra a destra, dagli ingressi alle uscite: non di rado si vedono circuiti con fili che *tornano indietro* o *si aggrovigliano* o *seguono percorsi non lineari* oppure (sembra incredibile rimarcarlo) componenti che, dall'alto verso il basso, *escono* da una massa o *entrano* in una V_{CC}: tutte cose assolutamente evitabili, con un minimo di buon gusto.

I circuiti di *Figura 10* si prestano anche a considerazioni funzionali:

- i primi 3 realizzano la funzione di una porta *disponibile commercialmente*, e sembrano apparentemente inutili; in realtà tornano utili quando serve una AND a 3 o 4 ingressi e non si dispone di *1/3* di 74LS11 o *1/2* di 74LS21, avendo a disposizione invece alcune porte AND di altro tipo non utilizzate
- qualora servisse una AND a 3 o 4 ingressi, la disponibilità di *1/3* di 74LS11 o *1/2* di 74LS21 è comunque vantaggiosa rispetto alla soluzione proposta, non solo per il fatto di utilizzare un numero inferiore di porte ma anche per il tempo (*di propagazione*) necessario per avere una risposta *stabile* in uscita, esattamente la metà, dovendo attraversare una sola porta invece di 2: si tratta di un aspetto di progetto non molto evidente ma da non sottovalutare!
- il circuito *c)* realizza una AND a 4 ingressi, come il *b)*; è interessante osservare come si deve trattare un piedino non necessario al progetto come quello della seconda porta a 3 ingressi: basta *unirlo ad un altro*. In alternativa, poiché non è mai opportuno lasciare scollegati (= *fluttuanti*) gli ingressi inutilizzati, il pin10 di quella porta si sarebbe dovuto collegare al positivo dell'alimentazione
- gli ultimi 2 circuiti sono esempi per realizzare porte logiche non *disponibili commercialmente*; ovviamente è accettabile ogni altra combinazione, in funzione degli "*avanzi*" del progetto in corso..
-

OPERATORE AND (CMOS): 4082, 4073, 4081

L'operatore fondamentale **AND** è disponibile in anche 3 componenti della serie CMOS, con le stesse configurazioni della TTL: il **4081** contiene 4 porte a 2 ingressi (*Figura 11*); il **4073** ne contiene 3 a 3 ingressi (*Figura 12*) e il **4082** ne contiene 2 a 4 ingressi (*Figura 13*); osservando le figure si nota che non esiste alcuna compatibilità di *pin-out* con i rispettivi omologhi TTL, esclusi i pin per le 2 alimentazioni (la *massa* $\mathbf{V_{SS}}$ sul pin7 e il *positivo* $\mathbf{V_{DD}}$ sul pin14, tipicamente compreso tra +3V e +15V).

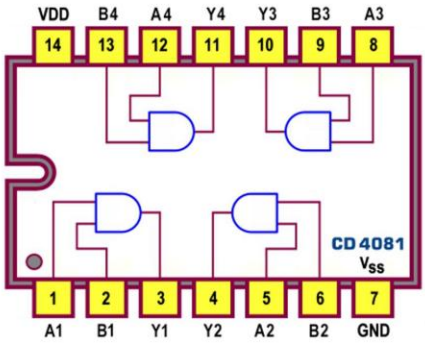

Figura 11 - Quad 2-input AND Gates 4081: Pin-out

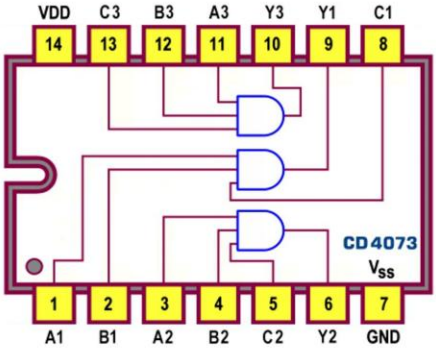

Figura 12 - Triple 3-input AND Gates 4073: Pin-out

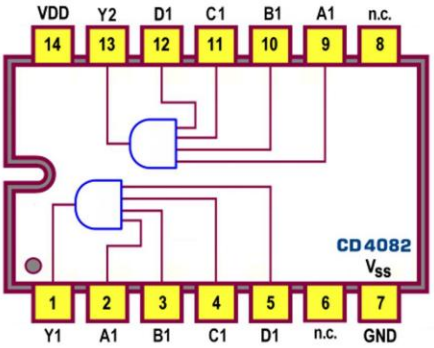

Figura 13 - Dual 4-input AND Gates 4082: Pin-out

Anche questi 3 componenti sono ovviamente definiti **AND Gates** [*porte* AND] dai *datasheet*, mantenendo nel nome la specifica della loro quantità e del numero dei rispettivi ingressi; gli *schemi funzionali* e *pratici* per ciascuno di essi sono mostrati rispettivamente in *Figura 14* e in *Figura 15*.

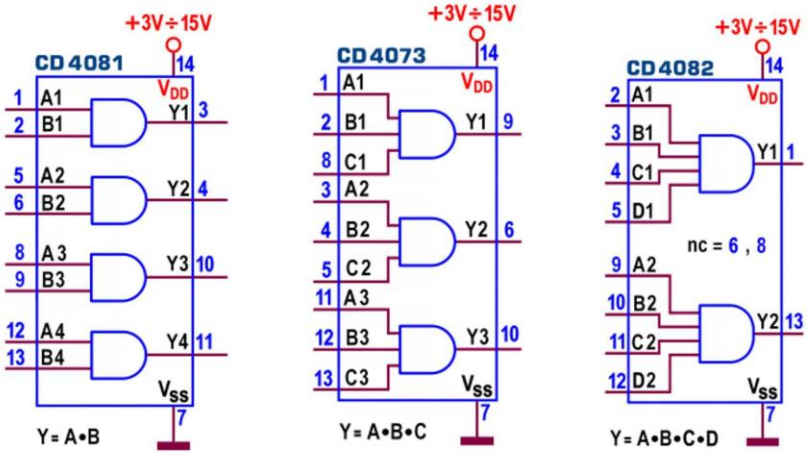

Figura 14 - AND Gates [CMOS]: Schema funzionale

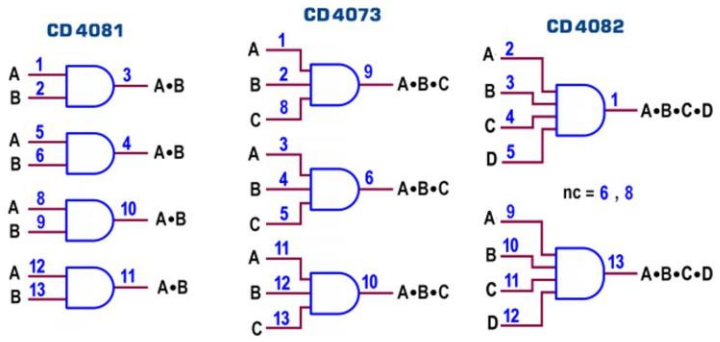

Figura 15 - AND Gates [CMOS]: Schema pratico

Ricordiamo che gli ingressi CMOS non utilizzati, per la loro alta impedenza e per la conseguente elevata sensibilità ai campi elettrici esterni, non si possono lasciare *fluttuanti* (scollegati) e vanno fissati o a $\mathbf{V_{DD}}$ o a $\mathbf{V_{SS}}$ (rispettivamente positivo e massa dell'alimentazione): si evita in questo modo il rischio di subire sulle uscite imprevedibili e indesiderati cambi di livello, da basso a alto e viceversa, se non il danneggiamento del dispositivo a causa di un possibile elevato assorbimento di corrente, qualora la tensione d'ingresso si assestasse ad un valore intermedio tra i 2 estremi.

Le caratteristiche elettriche dei 3 componenti AND sono le stesse raccolte nella *Tabella* dedicata, nel capitolo precedente, alla *famiglia logica* **CMOS** a cui appartengono; taluni costruttori dichiarano per altro tensioni d'ingresso leggermente inferiori per il minimo di $\mathbf{V_{IH}}$ (di solito 4/5*$\mathbf{V_{DD}}$) e leggermente maggiori per il massimo di $\mathbf{V_{IL}}$ (di solito 1/5*$\mathbf{V_{DD}}$), vedi *Tabella 2*.

CMOS Caratteristiche Elettriche			**Valori per**		
			V_{DD} =5V	V_{DD} =10V	V_{DD} =15V
caratteristiche d'**ingresso**	tensione a livello "**1**"	V_{IH}	**3,5V** [min,V_O=0,5V]	**7V** [min,V_O=1V]	**11V** [min,V_O=1,5V]
	tensione a livello "**0**"	V_{IL}	**1,5V** [max,V_O=4,5V]	**3V** [max,V_O=9V]	**4V** [max,V_O=13,5V]
	corrente [**tipico**]	I_{IH}	**0,00001 µA** [con **VDD=15V**, sia con V_{IH}=15V che con V_{IL}=0V]		
caratteristiche d'**uscita** [valori **tipici**]	tensione a livello "**1**"	V_{OH}	**5V** [valore **tipico**]	**10V** [valore **tipico**]	**15V** [valore **tipico**]
	tensione a livello "**0**"	V_{OL}	**0V** [valore **tipico**]		
	corrente a livello "**1**"	I_{OH}	**0,88 mA** [V_{OH}=4,6V]	**2,25 mA** [V_{OH}=9,5V]	**8,8 mA** [V_{OH}=13,5V]
	corrente a livello "**0**"	I_{OL}	**0,88 mA** [V_{OL}=0,4V]	**2,25 mA** [V_{OL}=0,5V]	**8,8 mA** [V_{OL}=1,5V]
tensione di **alimentazione**		V_{DD}	da **3V** a **15V** [valore **raccomandato**] da **-0.5V** a **18V** [valore **massimo**]		
frequenza di lavoro		f_{out}	**1 MHz** [valore **massimo**]		
fan-out			**50** [valore **tipico**]		

Tabella 2 - AND Gates: Caratteristiche dalla famiglia CMOS

In sintesi valgono tutte le considerazioni elettriche (tensione di *alimentazione*, livelli di *tensione* e di *corrente* in ingresso e in uscita, *caratteristica di trasferimento*) evidenziate la precedente puntata nella descrizione dell'operatore **NOT**.

La *potenza dissipata* di questi componenti è decisamente trascurabile; l'assorbimento $\mathbf{I_{DD}}$ è tipicamente dell'ordine del microampere, in accordo con le specifiche della famiglia a cui appartengono; la *Tabella 3* mostra quelle per il **4081**.

CMOS 4081 Potenza dissipata	Valori per		
	V_{DD} =5V	V_{DD} =10V	V_{DD} =15V
potenza dissipata [I_{DD}*V_{DD}] **tipica** a 25°C	**0.0025 µW** [I_{DD}=0.0005 µA]	**0.01 µW** [I_{DD}=0.001 µA]	**0.0225 µW** [I_{DD}=0.0015 µA]

Tabella 3 - AND Gates (Quad 2-input 4081): Potenza dissipata

La *Tabella 4* raccoglie infine i dati relativi alle *caratteristiche dinamiche* (*Switching Characteristics*) per il **4081**; taluni costruttori indicano valori leggermente inferiori sia per il *ritardo di propagazione* (*Propagation Delay Time*) che per il *tempo di transizione*; altri forniscono valori differenziati anche per $\mathbf{t_{THL}}$ e $\mathbf{t_{TLH}}$; i tempi riportati sono comunque quelli condivisi dalla maggior parte di essi e sono stati rilevati con carico di **200k**ohm/**50**pF.

CMOS 4081 Caratteristiche dinamiche	Valori per		
	V_{DD} =5V	V_{DD} =10V	V_{DD} =15V
ritardo di propagazione [da ingresso a uscita] t_{PHL}	**55 ns** [tipico] **110 ns**[massimo]	**25 ns** [tipico] **50 ns**[massimo]	**20 ns** [tipico] **40 ns**[massimo]
ritardo di propagazione [da ingresso a uscita] t_{PLH}	**45 ns** [tipico] **90 ns**[massimo]	**20 ns** [tipico] **40 ns**[massimo]	**15 ns** [tipico] **30 ns**[massimo]
tempo di transizione t_{THL} e t_{TLH}	**60 ns** [tipico] **120 ns**[massimo]	**30 ns** [tipico] **60 ns**[massimo]	**20 ns** [tipico] **40 ns**[massimo]

Tabella 4 - AND Gates (Quad 2-input 4081): Caratteristiche dinamiche

L'andamento temporale delle sue uscite in funzione degli ingressi è stato proposto e descritto nella puntata precedente.