

2 Manuali di Giobe2000

DATA SHEET

74LS157

Quadruplo Multiplexer da 2 a 1

Copyright © settembre 2003

Studio Tecnico ing. Giorgio OBER

contatto@giobe2000.it

Il **Tutorial Assembler** è soggetto a costanti aggiornamenti e integrazioni
Verifica le eventuali novità direttamente sul Sito

Copyright www.Giobe2000.it ©



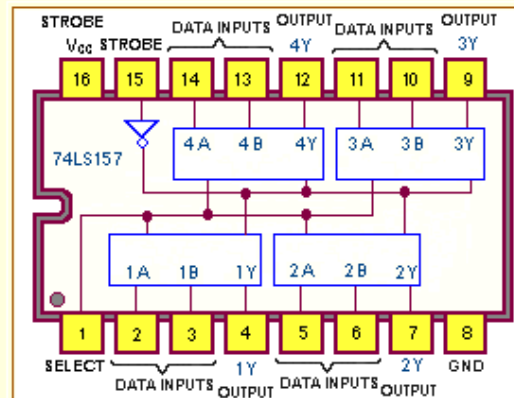
LOGICA TTL - MULTIPLEXER

74LS157



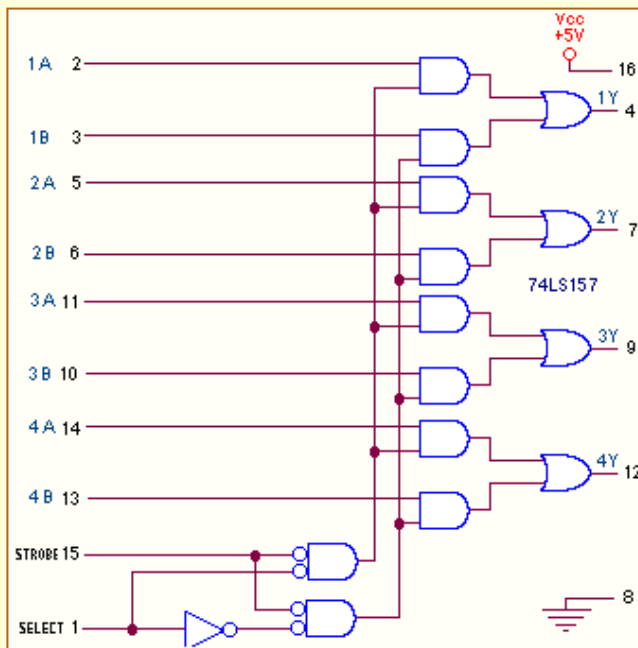
74LS157 - Quadruplo Multiplexer da 2 a 1

Il **pin-out** del componente è illustrato dal seguente schema:



- I **Multiplexer** o **Selettori di dato**, sono in sostanza dei *commutatori rotativi digitali* con più ingressi ed una sola uscita.
- Il funzionamento del **74LS157** è identico a quello del **74LS158**: la differenza sta nei livelli logici proposti in uscita, **uguali** a quelli presenti sugli ingressi.
- Questo componente si comporta come un **commutatore a 4 vie - 2 posizioni**, cioè ogni via ha 2 ingressi e un'uscita; la logica del suo funzionamento è descritta dal seguente **schema funzionale** e dalla relativa **tabella di verità**:

- il piedino (pin 15) di **strobe** (o **enable**) controlla tutte e 4 le uscite e, se non è attivo (cioè è a **1** o scollegato), tutte le uscite sono a **0**.
- il componente funziona solo se il pin 15 (**strobe** o **enable**) è messo a massa (cioè a **0**): in questo caso ciascuna delle 4 uscite assume lo stesso valore logico di uno dei rispettivi 2 ingressi, A o B.
- il piedino (pin 1) di **select** stabilisce quale dei 2 ingressi verrà copiato in uscita, quando **strobe** è a **0**: sia il disegno che la tabella sottolineano che con **select** a **0** passano gli ingressi A e, viceversa, con con **select** a **1** passano gli ingressi B.



STROBE	SELECT	INPUT		OUTPUT
		A	B	
1	X	X	X	0
0	0	0	X	0
0	0	1	X	1
0	1	X	0	0
0	1	X	1	1

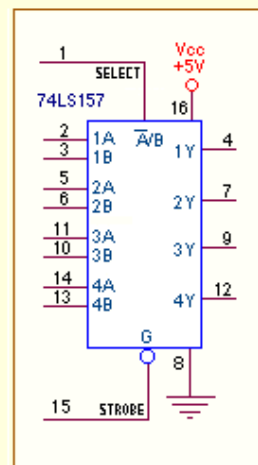
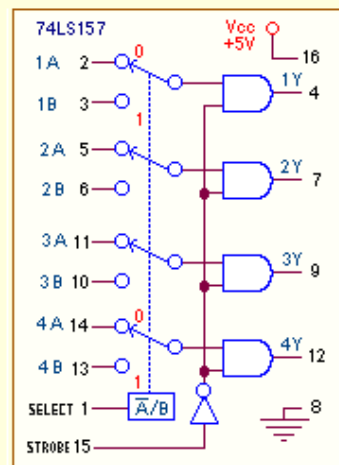
1 livello logico alto
 0 livello logico basso
 "X" valore logico indifferente



LOGICA TTL - MULTIPLEXER

74LS157

- 🔗 Lo **schema logico** del componente evidenzia le **logiche AND-OR** tipiche di un *commutatore digitale*: nel caso specifico, data la presenza di 2 soli ingressi per ogni via, è più proprio parlare di *deviatore digitale*. E' facile verificare che:
 - ciascuna delle 4 AND:
 - implementa un **gating di segnale**, cioè uno dei suoi 2 ingressi controlla il passaggio di un segnale logico sull'altro.
 - è ritenuta **aperta** se l'ingresso di controllo è a **1**: in questo caso il segnale passa in uscita inalterato
 - è ritenuta **chiusa** se l'ingresso di controllo è a **0**: in questo l'uscita è comunque forzata a zero (il segnale non passa..)
 - dunque un **1** sullo **strobe/enable** *chiude* tutte le porte AND del circuito, rendendo inutilizzabile il multiplexer.
 - se lo **strobe/enable** è collegato a massa (cioè forzato a **0**) risultano **aperte** solo 4 porte AND, quelle abilitate dal livello posto sulla linea di selezione (**select**):
 - con **select** a **0** gli ingressi di tipo B sono bloccati e passano in uscita quelli di tipo A.
 - con **select** a **1** gli ingressi di tipo A sono bloccati e passano in uscita quelli di tipo B.



- 🔗 Nel disegno degli schemi suggerisco l'impiego dello **schema a blocchi** in alto a destra.

- 🔗 La tabella raccoglie le principali **caratteristiche elettriche** del componente (i tempi sono stati rilevati con carico di 2kohm/ 15 pF):

Caratteristiche Elettriche	Valori
potenza dissipata	80 mW (massima, assorbe 16 mA a 5V) 49 mW (tipica, assorbe 9.7 mA a 5V)
corrente erogata tipica in uscita	0,4 mA (tipica TTL con uscita a "1")
corrente assorbita tipica in uscita	8 mA (tipica TTL con uscita a "0")
tempo di propagazione massimo da ingresso a uscita	14 ns, su entrambi i fronti
tempo di propagazione massimo da strobe a uscita	20 ns (fronte di salita) e 21 ns (fronte di discesa)
tempo di propagazione massimo da select a uscita	23 ns (fronte di salita) e 27 ns (fronte di discesa)