

2 Manuali di Giobe2000

DATA SHEET

74LS153

Doppio Multiplexer da 4 a 1

Copyright © settembre 2003

Studio Tecnico ing. Giorgio OBER

contatto@giobe2000.it

Il **Tutorial Assembler** è soggetto a costanti aggiornamenti e integrazioni
Verifica le eventuali novità direttamente sul Sito

Copyright www.Giobe2000.it ©



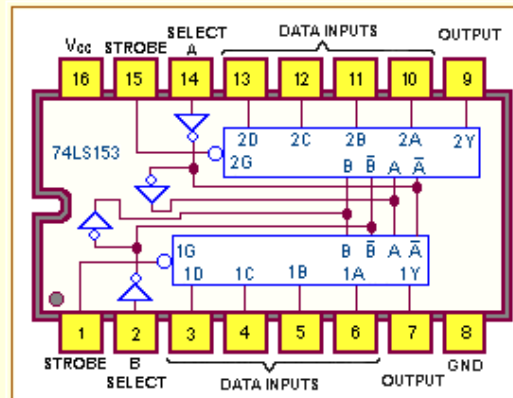
LOGICA TTL - MULTIPLEXER

74LS153

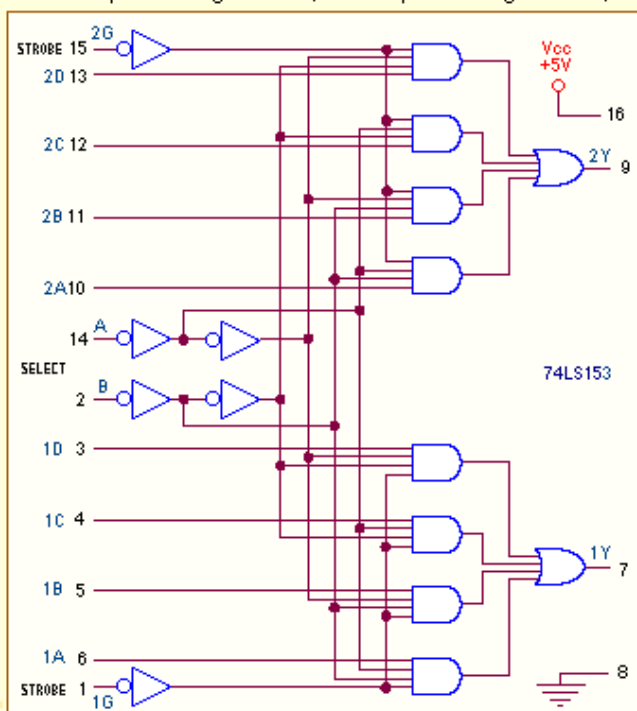


74LS153 - Doppio Multiplexer da 4 a 1

Il **pin-out** del componente è illustrato dal seguente schema:



- I **Multiplexer** o **Selettori di dato**, sono in sostanza dei *commutatori rotativi digitali* con più ingressi ed una sola uscita.
- Questo componente si comporta come un **commutatore a 2 vie - 4 posizioni**, cioè ogni via ha 4 ingressi e un'uscita; la logica del suo funzionamento è descritta dal seguente **schema funzionale** e dalla relativa **tabella di verità**:
 - i piedini (pin 15 e pin 6) di **strobe** (o **enable**) controllano ciascuno la rispettiva uscita e, se non sono attivi (cioè è a 1 o scollegati), la rispettiva uscita è a 0.
 - ciascun selettore funziona solo se il suo controllo (pin 15 o pin 1) (**strobe** o **enable**) è messo a massa (cioè a 0): in questo l'uscita corrispondente assume lo stesso valore logico di uno dei suoi 4 ingressi, A, B, C o D.
 - le linee di selezione (pin 14 e pin 2, **selectA** e **selectB**) stabiliscono quale dei 4 ingressi verrà copiato in uscita, quando **strobe** è a 0: sia il disegno che la tabella sottolineano che con **select** a 00 passa l'ingresso A, con 01 passa l'ingresso B, con 10 passa l'ingresso C e con 11 passa l'ingresso D.



STROBE	SELECT		INPUT				OUTPUT
	B	A	xA	xB	xC	xD	
1	X	X	X	X	X	X	0
0	0	0	0	X	X	X	0
0	0	0	1	X	X	X	1
0	0	1	X	0	X	X	0
0	0	1	X	1	X	X	1
0	1	0	X	X	0	X	0
0	1	0	X	X	1	X	1
0	1	1	X	X	X	0	0
0	1	1	X	X	X	1	1

1 livello logico alto
 0 livello logico basso
 "X" valore logico indifferente

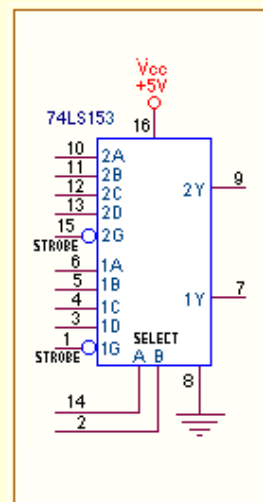
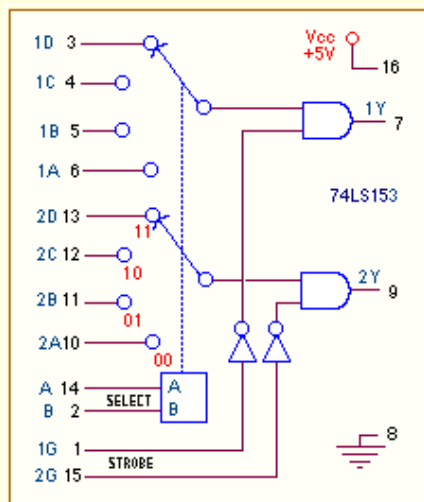


LOGICA TTL - MULTIPLEXER

74LS153

Lo **schema logico** del componente evidenzia le **logiche AND-OR** tipiche di un **commutatore digitale**: è facile verificare che:

- ciascuna delle 2 AND:
 - implementa un **gating di segnale**, cioè uno dei suoi 2 ingressi controlla il passaggio di un segnale logico sull'altro.
 - è ritenuta **aperta** se l'ingresso di controllo è a **1**: in questo caso il segnale passa in uscita inalterato
 - è ritenuta **chiusa** se l'ingresso di controllo è a **0**: in questo l'uscita è comunque forzata a zero (il segnale non passa..)
- dunque un **1** sullo **strobe/enable** **chiude** tutte le porte AND del circuito, rendendo inutilizzabile il multiplexer.
- se lo **strobe/enable** è collegato a massa (cioè forzato a **0**) risulta **aperta** solo una della 4 porte AND, quella abilitata dal livello posto sulle 2 linee di selezione (**selectA** e **selectB**):
 - con **select** a **00** passa in uscita l'ingresso A e sono bloccati gli ingressi B, C e D
 - con **select** a **01** passa in uscita l'ingresso B e sono bloccati gli ingressi A, C e D
 - con **select** a **10** passa in uscita l'ingresso C e sono bloccati gli ingressi A, B e D
 - con **select** a **11** passa in uscita l'ingresso D e sono bloccati gli ingressi A, B e C



Nel disegno degli schemi suggerisco l'impiego dello **schema a blocchi** in alto a destra.

La tabella raccoglie le principali **caratteristiche elettriche** del componente (i tempi sono stati rilevati con carico di 2Kohm/ 15 pF):

Caratteristiche Elettriche	Valori
potenza dissipata	50 mW (massima, assorbe 10 mA a 5V)
	31 mW (tipica, assorbe 6,2 mA a 5V)
corrente erogata tipica in uscita	0,4 mA (tipica TTL con uscita a "1")
corrente assorbita tipica in uscita	8 mA (tipica TTL con uscita a "0")
tempo di propagazione massimo da ingresso a uscita	15 ns (fronte di salita) e 26 ns (fronte di discesa)
tempo di propagazione massimo da <i>strobe</i> a uscita	24 ns (fronte di salita) e 32 ns (fronte di discesa)
tempo di propagazione massimo da <i>select</i> a uscita	29 ns (fronte di salita) e 38 ns (fronte di discesa)